

## FIELD EFFECT TYPE SEMICONDUCTOR DEVICE

Patent Number: JP7147395  
Publication date: 1995-06-06  
Inventor(s): SAWADA MINORU  
Applicant(s): SANYO ELECTRIC CO LTD  
Requested Patent: ☐ JP7147395  
Application Number: JP19910312584 19911127  
Priority Number(s):  
IPC Classification: H01L29/778; H01L21/338; H01L29/812  
EC Classification:  
Equivalents:

### Abstract

**PURPOSE:** To drastically improve noise figure by reducing noise generated when electrons passing directly below a gate electrode pass a channel layer which is doped with impurities with a high concentration on element operation.  
**CONSTITUTION:** A buffer layer 4 consisting of a first semiconductor, an undoped channel layer 3 consisting of a second semiconductor with a larger electron affinity than this first semiconductor, a channel layer 2 consisting of a third semiconductor with a larger electron affinity than the first semiconductor, a fourth semiconductor layer 1 with a smaller electron affinity than the second and third semiconductors, and a cap layer 6 consisting of a fifth semiconductor are provided on a semiconductor substrate 10. Further, a pair of electrodes 6 and 7 connected to the cap layer 5 and a gate electrode 8 provided at the fourth semiconductor layer 1 inside the electrode are provided.

Data supplied from the esp@cenet database - I2

- (19) 【発行国】 日本国特許庁 ( J P )  
 (12) 【公報種別】 公開特許公報 ( A )  
 (11) 【公開番号】 特開平 7 - 1 4 7 3 9 5  
 (43) 【公開日】 平成 7 年 ( 1 9 9 5 ) 6 月 6 日  
 (54) 【発明の名称】 電界効果型半導体装置  
 (51) 【国際特許分類第 6 版】

H01L 29/778

21/338

29/812

【 F I 】

H01L 29/80

H 7376-4M

【審査請求】 未請求

【請求項の数】 1

【出願形態】 O L

【全頁数】 5

- (21) 【出願番号】 特願平 3 - 3 1 2 5 8 4  
 (22) 【出願日】 平成 3 年 ( 1 9 9 1 ) 1 1 月 2 7 日  
 (71) 【出願人】

【識別番号】 0 0 0 0 0 1 8 8 9

【氏名又は名称】 三洋電機株式会社

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号

(72) 【発明者】

【氏名】 澤田 稔

【住所又は居所】 大阪府守口市京阪本通 2 丁目 1 8 番地 三洋電機株式会社内

(74) 【代理人】

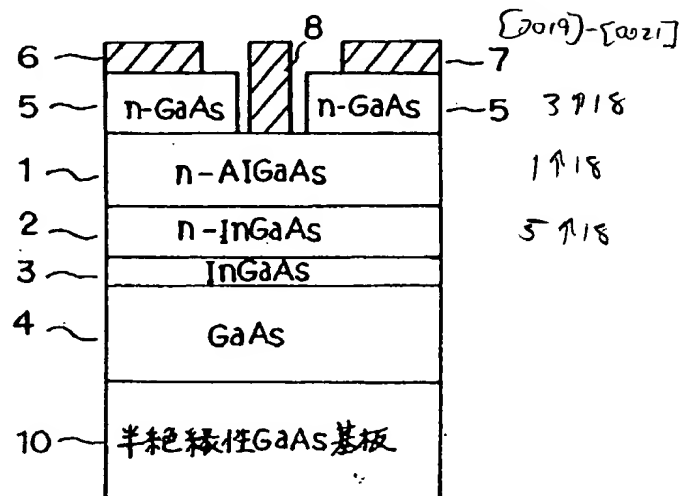
【弁理士】

【氏名又は名称】 西野 卓嗣

(57) 【要約】

【目的】 素子動作時に、ゲート電極の直下を通過する電子は、高濃度に不純物がドーブされたチャネル層を通ることにより発生する雑音を低減し、雑音指数の大幅な向上を図ることを目的とする。

【構成】 半導体基板 1 0 上に、第 1 の半導体からなるバッファ層 4、この第 1 の半導体より電子親和力が高い第 2 の半導体からなるアンドープのチャネル層 3、前記第 1 の半導体より電子親



和力が大きい第3の半導体からなるチャネル層2、前記第2、第3の半導体より電子親和力が小さい第4の半導体層1、及び第5の半導体からなるキャップ層5を備え、前記キャップ層5に接続する1対の電極6、7と、この電極内の前記第4の半導体層1に配設されたゲート電極8とを設けてなる電界効果型半導体装置である。

#### 【特許請求の範囲】

【請求項1】 半導体基板上に、第1の半導体からなるバッファ層、この第1の半導体より電子親和力が大きい第2の半導体からなるアンドープのチャネル層、前記第1の半導体より電子親和力が大きい第3の半導体からなるチャネル層、前記第2、第3の半導体より電子親和力が小さい第4の半導体層、及び第5の半導体からなるキャップ層を備え、前記キャップ層に接続する1対の電極と、この電極内の前記第4の半導体層に配設されたゲート電極とを設けてなる電界効果型半導体装置。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】 本発明は、電界効果型半導体装置に関する。

##### 【0002】

【従来の技術】 衛星放送受信システムの需要が高まる中、このシステムの重要部分を占める超低雑音電界効果型トランジスタの性能工場に注目が集まっている。これらのトランジスタの高性能化には、ゲート長短縮や相互コンダクタンスの増大等が必須の条件となっている。そのため、チャネル層に不純物を高濃度にドーピングした電界効果型トランジスタが提案されている。

【0003】 図3は、従来この種電界効果型トランジスタの構造を示す断面図である。

【0004】 図3において、10は半絶縁性GaAs基板、4はこの基板10上に設けられたGaAs半導体からなる障壁層を兼ねるバッファ層、2はバッファ層4上に設けられたn型の不純物が高濃度にドーピングされたn型

InGaAs半導体からなるチャネル層、1はこのチャネル層2上に設けられたn型AlGaAs半導体層、5はこのn型AlGaAs半導体層1上に設けられたn型GaAs半導体からなるキャップ層である。

【0005】 6は一方のキャップ層5と接続するソース電極、7は他方のキャップ層5と接続するドレイン電極、8はソース電極6とドレイン電極7間のn型AlGaAs半導体層1とショットキ接続するゲート電極である。

##### 【0006】

【発明が解決しようとする課題】 しかしながら、図3に示した電界効果型トランジスタのように、高濃度に不純物をドーピングしたチャネル層を用いたものにおいては、ゲート長の短縮や相互コンダクタンスの増大を図っても、高周波動作時の雑音指数がほとんど低減されないという問題があった。

【0007】 これは、電界効果型トランジスタでは、素子動作時に、ゲート電極8の直下を通過する電子は、高濃度に不純物がドーピングされたチャネル層2を通ることにより、雑音が発生するためであると考えられている。

【0008】 本発明は、上述した問題点を解決し、雑音指数の大幅な向上を図ることをその課題とする【0009】

【課題を解決するための手段】 本発明は、半導体基板上に、第1の半導体からなるバッファ層、この第1の半導体より電子親和力が大きい第2の半導体からなるアンドープのチャネル層、前記第1の半導体より電子親和力が大きい第3の半導体からなるチャネル層、前記第2、第3の半導体より電子親和力が小さい第4の半導体層、及び第5の半導体からなるキャップ層を備え、前記キャップ層に接続する1対の電極と、この電極内の前記第4の半導体層に配設されたゲート電極とを設けてなる。

【0010】

【作用】本発明では、素子動作時、ゲート電極直下を通過する電子は、アンドープのチャネル層を通ることにより、雑音の発生が抑制される。

【0011】

【実施例】以下、本発明の実施例を図1及び図2を参照して説明する。図1は、本発明の一実施例を示す断面図、図2は、本発明のゲート電極直下の伝導体バンド構造の模式図である。

【0012】尚、図3と同一構成部分には同一符号を付す。

【0013】図1に示すように、10は、半絶縁性GaAs基板、4はGaAs半導体からなる障壁層を兼ねるバッファ層である。

【0014】3は、本発明の特徴とするところのチャネル層であり、バッファ層4のGaAs半導体より電子親和力が高いアンドープのInGaAs半導体にて構成され、上記バッファ層4上に設けられる。

【0015】2は上記バッファ層4のGaAs半導体より電子親和力が高いn型不純物を高濃度にドーピングしたn型AlGaAs半導体層からなるチャネル層で、チャネル層3上に設けられる。

【0016】そして、このチャネル層2上にチャネル層2、3より電子親和力が高いn型AlGaAs半導体層1、このn型AlGaAs1上にn型GaAs層からなるキャップ層5が設けられる。更に、一方のキャップ層5と接続するソース電極6、他方のキャップ層5と接続するドレイン電極7、ソース電極6とドレイン電極7間のn型AlGaAs半導体層1とショットキ接続するゲート電極8が夫々設けられ、本発明に係る電界効果型トランジスタが形成される。

【0017】上述したように、本発明の特徴とするところは、バッファ層4とチャネル層2との間にアンドープのInGaAsからなるチャネル層3を挿入したことにある。そして、このように形成された電界効果型トランジスタのゲート電極8直下の伝導体バンド構造は図2に示すようになる。ここで、図中の数値は計算により求めた概算値である。

【0018】本発明の第1の具体的実施例について説明する。

【0019】上記キャップ層5を構成するn型GaAs半導体層のn型不純物濃度を $n = 3 \times 10^{18} \text{ cm}^{-3}$ に設定し、また膜厚を800Åとする。

【0020】また、n型AlGaAs半導体層1のn型不純物濃度を $n = 1 \times 10^{18} \text{ cm}^{-3}$ に設定し、この膜厚を300Åとする。

【0021】チャネル層2は、n型 $\text{In}_x\text{Ga}_{1-x}\text{As}$  (xはIn組成パラメータ) で構成し、その不純物濃度を $n = 2.5 \times 10^{18} \text{ cm}^{-3}$ と設定する。

【0022】チャネル層3は、アンドープの $\text{In}_x\text{Ga}_{1-x}\text{As}$  (xはIn組成パラメータ) で構成する。

【0023】そして、チャネル層2のIn組成パラメータxを0.15、膜厚50ÅとしたものをA群とし、In組成パラメータxを0.15、膜厚100ÅとしたものをB群とし、Inの組成パラメータx=0.20、膜厚50ÅとしたものをC群とする。

【0024】尚、チャネル層3のInの組成パラメータxの組成は夫々チャネル層2の上記群と同じくして、アンドープ $\text{In}_x\text{Ga}_{1-x}\text{As}$ の膜厚Dを0、20Å、50Å、100Å、120Å、150Åと変化させて、上記サンプルをMBE法で夫々の半導体層を成長させ、ゲート長0.2μmの電界効果型トランジスタを作成した。その各電界効果型トランジスタを、12GHz (Vds=2V、Ids=10mA)での最小雑音指数NFminを比較した結果を表1に示す。

【0025】

【表1】

アンドープInGaAs膜厚	A群	B群	C群
D=0Å	1.1	1.0	1.05
20Å	0.80	0.70	0.75
50Å	0.55	0.50	0.53
70Å	0.50	0.48	0.49
100Å	0.55	0.70	0.75
120Å	0.80	0.70	0.75
150Å	0.90	0.80	0.85

【0026】表1より、図3に示した従来構造(D=0Å)のものでは、NFminは1.0近傍である。

【0027】これに対して、本発明の構造、すなわち、バッファ層4とチャンネル層2との間にアンドープのチャンネル層3を挿入したものにおいては、大幅に性能が向上していることが分かる。

【0028】また、この第1の具体的実施例では、チャンネル層3の膜厚が100Åを越えると再び性能は低下しているので、このチャンネル層3の膜厚は100Å以下が好ましい。

【0029】次に、上記第1の実施例よりも性能が優れた本発明の第2の具体的実施例について説明する。

【0030】上記キャップ層5を構成するn型GaAs半導体層のn型不純物濃度を $n=3 \times 10^{18} \text{ cm}^{-3}$ に設定し、また膜厚を800Åとする。

【0031】また、n型AlGaAs半導体層1のn型不純物濃度を $n=1 \times 10^{18} \text{ cm}^{-3}$ に設定し、この膜厚を300Åとする。

【0032】チャンネル層2は、n型 $\text{In}_x\text{Ga}_{1-x}\text{As}$  (xはIn組成パラメータ)で構成する。そして、チャンネル層2のIn組成パラメータxを0.15、n型不純物濃度を $n=2.5 \times 10^{18} \text{ cm}^{-3}$ 、チャンネル層2及び3の合計膜厚を150ÅとしたものをD群とし、In組成パラメータxを0.20、n型不純物濃度を $n=2.5 \times 1$

$0^{18} \text{ cm}^{-3}$ 、チャンネル層2及び3の合計膜厚を150ÅとしたものをE群とし、In組成パラメータxを0.15、n型不純物濃度を $n=4 \times 10^{18} \text{ cm}^{-3}$ 、チャンネル層2及び3の合計膜厚を150ÅとしたものをF群とし、In組成パラメータxを0.15、n型不純物濃度を $n=2.5 \times 10^{18} \text{ cm}^{-3}$ 、チャンネル層2及び3の合計膜厚を100ÅとしたものをG群とする。

【0033】チャンネル層3は、アンドープの $\text{In}_x\text{Ga}_{1-x}\text{As}$  (xはIn組成パラメータ)で構成する。

【0034】尚、チャンネル層3のInの組成パラメータxの組成は夫々チャンネル層2の上記群と同じくして、n型 $\text{In}_x\text{Ga}_{1-x}\text{As}$ の膜厚D'を10Å、20Å、30Å、40Å、50Å、70Åと変化させて、上記サンプルをMBE法で夫々の半導体層を成長させ、ゲート長0.2μmの電界効果型トランジスタを作成した。その各電界効果型トランジスタを、12GHz ( $V_{ds}=2\text{V}$ ,  $I_{ds}=10\text{mA}$ )での最小雑音指数NFminを比較した結果を表2に示す。

【0035】

【表2】

n型InGaAs膜厚	D群	E群	F群	G群
D'=10Å	0.47	0.45	0.58	0.60
20Å	0.43	0.42	0.52	0.58
30Å	0.45	0.44	0.56	0.59
40Å	0.55	0.53	0.65	0.72
50Å	0.55	0.54	0.70	0.80
70Å	0.70	0.69	0.80	0.85

【0036】表2より、本発明の構造、すなわち、バッファ層4とチャンネル層2との間にアンドープのチャンネル層3を挿入したものにおいては、大幅に性能が向上しているに加えて、この第2の具体的実施例は、第1の具体的実施例のものよりも、性能が優れていることも分かる。

【0037】また、この第2の具体的実施例では、チャネル層2の膜厚が30Åを越えると再び性能は低下しているため、このチャネル層2の膜厚は30Å以下が好ましい。

【0038】

【発明の効果】以上説明したように、本発明によれば、ゲート電極直下での雑音の発生を抑制でき、雑音指数の大幅な向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例の断面図である。

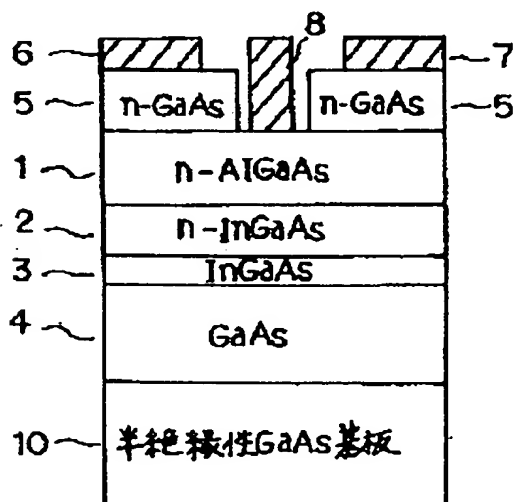
【図2】本発明のゲート電極直下の伝導体バンド構造の模式図である。

【図3】従来の電界効果型トランジスタの断面図である。

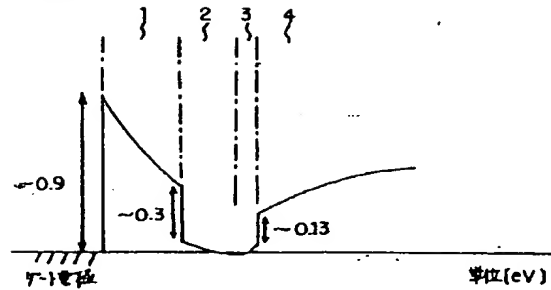
【符号の説明】

- 1・・・n型AlGaAs半導体層
- 2・・・チャネル層
- 3・・・チャネル層
- 4・・・バッファ層
- 5・・・キャップ層
- 6・・・ソース電極
- 7・・・ドレイン電極
- 8・・・ゲート電極
- 10・・・半絶縁性GaAs基板

【図1】



【図2】



【図3】

